

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-035493

(43)Date of publication of application : 15.02.1991

(51)Int.Cl.

G11C 11/407

(21)Application number : 01-169572

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.06.1989

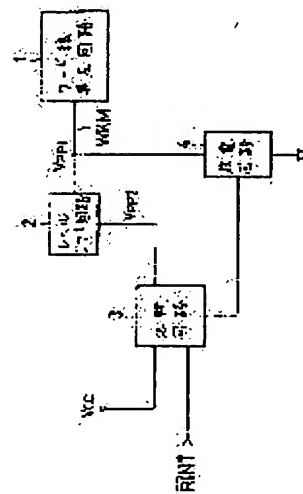
(72)Inventor : HARA TAKEHIKO  
FUJII HIDETAKE

## (54) DYNAMIC SEMICONDUCTOR MEMORY DEVICE

## (57)Abstract:

**PURPOSE:** To reduce stress for the memory cell transistor of a maximum power supply potential and to improve reliability by comparing the second potential with the power supply potential, outputting a control signal when the second potential is higher and reducing the potential of an output terminal.

**CONSTITUTION:** To a first potential  $V_{pp1}$  to be boosted in proportion to a power supply potential  $V_{cc}$ , a second potential  $V_{pp2}$  lower than this first potential by a fixed value is acquired by a level shift circuit 2. A comparator circuit 3 compares the second potential  $V_{pp2}$  with the power supply potential  $V_{cc}$  and when the second potential  $V_{pp2}$  is higher, the control signal is outputted. A discharging circuit 4 in an output terminal WKM in a boosting circuit 1 is controlled by the control signal from the comparator circuit 3 and the potential of the output terminal WKM is forcibly reduced. Accordingly, when the boosting ratio of a word line is determined so that '1' reading defect can not occur in the minimum potential, the potential of the word line is suppressed with a value for which a prescribed value is added to the power supply potential. Thus, the potential of the word line in the maximum potential is made low and the reliability of an oxide film is secured.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-35493

⑬ Int. Cl.<sup>9</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)2月15日

G 11 C 11/407

8323-5B

G 11 C 11/34

3 5 4 D

審査請求 未請求 請求項の数 4 (全7頁)

⑮ 発明の名称 ダイナミック型半導体記憶装置

⑯ 特 願 平1-169572

⑰ 出 願 平1(1989)6月30日

⑱ 発 明 者 原 毅 彦 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑲ 発 明 者 藤 井 秀 壮 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑳ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

ダイナミック型半導体記憶装置

2. 特許請求の範囲

(1) 1トランジスタ/1キャパシタのメモリセル構造を有し、電源電位に比例した昇圧電位を得るワード線昇圧回路を有するダイナミック型半導体記憶装置において、

ワード線昇圧回路の出力端子に設けられ、その出力端子に得られる第1の電位から所定値低い第2の電位を得るレベルシフト回路と、

このレベルシフト回路により得られる第2の電位と電源電位を比較して第2の電位が高くなった時に制御信号を出力する比較回路と、

前記ワード線昇圧回路の出力端子に設けられ、前記制御信号により制御されて出力端子の電位を引き下げる放電回路と、

を備えたことを特徴とするダイナミック型半導体記憶装置。

(2) 前記レベルシフト回路は、メモリセルト

ランジスタとしきい値が等しいMOSトランジスタのゲート、ドレインを共通に前記ワード線昇圧回路の出力端子に接続して構成されている請求項1記載のダイナミック型半導体記憶装置。

(3) 前記比較回路は、カレントミラー型CMOS差動回路と、この差動回路に対して外部制御信号により制御されて電源電位および前記レベルシフト回路により得られる第2の電位をそれぞれ参照信号および入力信号として供給するゲート回路とを有する請求項1記載のダイナミック型半導体記憶装置。

(4) 前記放電回路は、前記制御信号によりゲートが制御されるMOSトランジスタである請求項1記載のダイナミック型半導体記憶装置。

3. 発明の詳細な説明

〔発明の目的〕

〔産業上の利用分野〕

本発明はワード線を昇圧する方式のダイナミック型半導体記憶装置に関する。

(従来の技術)

ダイナミック型ランダム・アクセス・メモリ (DRAM) は微細加工技術の進歩と共に集積度が高まり、微細化による素子特性の向上によって、次々と大容量で高速のものが開発されてきた。現在製品化されている DRAM は、第 6 図に示すようにメモリセル・キャパシタ  $C_M$  と、ビット線  $B_L$  とメモリセル・キャパシタ  $C_M$  の間に接続されワード線  $W_L$  の電圧によって選択的に導通するメモリセル・トランジスタ  $Q_M$  とからなる 1 トランジスタ/1 キャパシタのメモリセル構造をもつ。メモリセル・トランジスタ  $Q_M$  は N チャネル・トランジスタで形成されている。これは P チャネル・トランジスタよりも N チャネル・トランジスタの方がより短いゲート長まで短チャネル効果による影響があらわれず、微細化に有利なことによる。ところがメモリセル・トランジスタを N チャネル・トランジスタにすると、ワード線の電位が電源電位  $V_{cc}$  と同じ場合には、メモリセルへの“1”データ書き込み時にビット線の電位  $V_{cc}$

をそのままメモリセルに書き込むことはできず、実際にメモリセルに書き込まれる電位は、 $V_{cc}$  からメモリセルトランジスタ  $Q_M$  の閾値を引いた値となる。この様に“1”データの書き込み電位がメモリセルトランジスタの閾値落ちによって低下すると、ビット線を  $1/2 V_{cc}$  にプリチャージする方式の DRAM では、メモリセルのデータを読み出した時のビット線間の電位差は“0”データ読み出し時より“1”データ読み出し時の方が小さくなり“1”読み出し不良を起こしやすくなる。また、メモリのポーズ特性、ソフトエラー耐性も悪化する。

以上の理由から現在は、ワード線を昇圧してメモリセルに電源電圧  $V_{cc}$  を直接書き込む方式が採られている。

次に昇圧したワード線の電位について第 4 図に基づいて説明する。図中の、 $V_{ccmin}$ ,  $V_{ccmax}$  は通常使用状態で DRAM の性能を保証する最小電源電位、最大電源電位である。また一点鎖線 (c) は電源電位  $V_{cc}$  に対して傾きが 1 である直線であ

る。従来ワード線の電位  $V_{WL}$  は、制御を容易にするために、図中の破線 (a) のように電源電位に対して一定の割合 (たとえば  $1.5V_{cc}$ ) で昇圧されていた。ワード線の昇圧比は、最小電圧  $V_{ccmin}$  においても、ワード線電位と電源電位の差がメモリセルトランジスタの閾値よりも常に大きくなるように、マージンを持って決定される。昇圧比が一定であるから、電源電位が大きくなるほど、ワード線電位と電源電位の電位差は大きくなり“1”書き込み時にセルに書き込まれる電位は常に電源電圧に等しくなる。

ところが DRAM の微細化が進み MOS トランジスタのゲート酸化膜の厚さが薄くなるにつれ、酸化膜の信頼性が問題となってくる。これまでの報告では、単結晶シリコンの熱酸化膜の信頼性を確保するためには、酸化膜の電界強度を  $4 MV/cm$  以下に抑えなければならいとされている。しかしワード線の電位を一定の昇圧比で昇圧すれば、例えば  $1.6M$  DRAM においては最大電位  $V_{ccmax}$  においてゲート酸化膜の電界強度が  $4 MV$

$/cm$  を超えてしまう。

(発明が解決しようとする課題)

以上のように大容量 DRAM においてはワード線の電位を一定の昇圧比で昇圧すれば、最大電位  $V_{ccmax}$  においてゲート酸化膜の信頼性が確保できないという問題があった。また、最大電位  $V_{ccmax}$  において、酸化膜の信頼性を確保するためにワード線の昇圧比を下げれば最小電位  $V_{ccmin}$  における“1”データ読み出し時に不良を起こす問題があった。

本発明は、上記の欠点を除去し、最小電位  $V_{ccmin}$  における“1”読み出し不良をなくすると同時に、最大電位  $V_{ccmax}$  における、メモリセル・トランジスタのゲート酸化膜の信頼性を確保できる DRAM を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

この発明は電源電位に対してワード線を一定の割合で昇圧するワード線昇圧回路を有する DRAM において、昇圧回路の出力電位が電源電位  $V_{cc}$

に対して所定値を加えた値よりも高くなった場合にその出力端子電位を強制的に引下げる制御回路を備える。具体的にこの制御回路は、昇圧回路の出力端子に設けられて、その出力端子に得られる第1の電位から所定値低い第2の電位を得るレベルシフト回路と、第2の電位と電源電位を比較して第2の電位が高くなったときに制御信号を出す比較回路と、その制御信号により制御されて昇圧回路の出力端子電位を引下げる放電回路によって構成される。

#### (作用)

この発明によれば最小電位 $V_{ccmin}$ において“1”読み出し不良が起きないようにワード線の昇圧比を決定すれば、最小電位 $V_{ccmin}$ 以上の電源電位において、ワード線の電位は電源電位に所定の値を加えた値で抑えられる。従って最大電位 $V_{ccmax}$ におけるワード線電位は、従来よりも低くなり、酸化膜の信頼性を確保できる。

本発明においても、制御の遅れによってワード線昇圧時にワード線の電位が一時的に電源電位に

所定値を加えた値よりも高くなる。しかしその期間は従来の方法よりもはるかに短いため電界強度の平均した値は小さくなって酸化膜にかかるストレスは小さくなり、信頼性は向上する。

#### (実施例)

第1図は、本発明の一実施例のDRAHにおけるワード線昇圧回路1とその出力電位の制御回路部の構成を示す。ワード線昇圧回路1の出力端子WKMにはレベルシフト回路2が設けられている。このレベルシフト回路2により、電源電位 $V_{cc}$ に比例して昇圧される第1の電位 $V_{pp1}$ に対して、これより一定値低い第2の電位 $V_{pp2}$ が得られる。比較回路3は、このレベルシフト回路2から得られた第2の電位 $V_{pp2}$ と電源電位 $V_{cc}$ とを比較して、第2の電位 $V_{pp2}$ の方が高い場合に制御信号を出力する回路である。昇圧回路1の出力端子WKMには放電回路4が設けられており、これが比較回路3からの制御信号により制御され、第2の電位 $V_{pp2}$ が電源電位 $V_{cc}$ より高い場合に出力端子WKMの電位を強制的に引下

げるようになっている。

第2図は、第1図の電位を制御する回路部分の具体的な構成例を示す。比較回路3は、カレントミラー型CMOS差動回路3<sub>1</sub>、CMOSゲート回路3<sub>2</sub>、3<sub>3</sub>等により構成している。

即ち、PチャネルトランジスタQ1、Q2、NチャネルトランジスタQ3、Q4がカレントミラー型CMOS差動回路3<sub>1</sub>を構成する。端子N1はこの差動回路3<sub>1</sub>の参照電位入力端子であり、PチャネルトランジスタQ8、NチャネルトランジスタQ9からなるCMOSゲート回路3<sub>2</sub>の共通ドレイン端子に接続されている。電源端子と、トランジスタQ8のソース端子の間にはダイオード接続された二つのPチャネルトランジスタQ6、Q7が直列に接続されている。端子N2は差動回路3<sub>1</sub>の入力端子であり、PチャネルトランジスタQ12、NチャネルトランジスタQ13からなるCMOSゲート回路3<sub>3</sub>の共通ドレイン端子に接続されている。トランジスタQ12のソース端子にはダイオード接続された二つのPチャネルトランジスタQ11、

Q10と一つのNチャネルトランジスタQ14が直列に接続されている。NチャネルトランジスタQ14が第1図のレベルシフト回路2を構成しており、トランジスタQ14のドレイン端子はワード線昇圧回路の出力端子WKMに接続されている。このNチャネルトランジスタQ14は実態は、メモリセル・トランジスタと同一ゲート長、同一ゲート幅かつ同一ウエル電位を有する複数個のトランジスタを並列接続したものである。即ちこのトランジスタQ14は、昇圧回路出力端子WKMの第1の電位 $V_{pp1}$ に対して、これよりメモリセルトランジスタのしきい値( $V_{TH}$ )分だけ低い第2の電位 $V_{pp2}$ を得るものとなっている。また端子N1、N2は抵抗R1、R2を介して接地されている。端子N3は、差動回路3<sub>1</sub>の出力端子であり、NチャネルトランジスタQ15のドレイン端子、インバータINV1の入力に接続されている。2段のインバータINV1、INV2は、ワード線昇圧回路の出力端子WKMに接続された、放電回路4を構成するNチャネルトランジスタ

Q16のゲートを制御するドライバである。NチャネルトランジスタQ18のソースはこの実施例では接地電位Vssに接続されている。差動回路3<sub>1</sub>を構成するトランジスタQ1、Q2の共通ソース端子と電源間を接続するPチャネルトランジスタQ5のゲート端子、およびCMOSゲート回路3<sub>2</sub>、

3<sub>3</sub>のゲート端子は、ロウ・アドレス・ストローブ信号(RAS)に同期した制御信号RINTにより制御されて、この比較回路が活性化される。なおトランジスタQ7、Q8、Q10、Q11、Q12には、バックゲートバイアスが印加されないようにしている。

次に上記構成の回路の動作を第3図のタイミングチャートを参照して説明する。

初期状態では制御信号RINTは電源電圧Vccであり、トランジスタQ5はオフしており差動回路3<sub>1</sub>は非活性状態にある。またトランジスタQ8、Q12がオフQ9、Q13、Q15がオンしているため、端子N1、N2、N3、N4は接地電圧

Vssとなっている。また昇圧回路出力端子VKMはVccにプリチャージされているが、放電回路のトランジスタQ16はオフしている。初期状態ではこの回路に流れる貫通電流はない。

ロウ・アドレス・ストローブ信号RASが高レベルから低レベルに変化すると、制御信号RINTはVccからVssへ変化する。するとトランジスタQ8、Q12がオンQ9、Q13がオフして、トランジスタQ6、Q7、Q8、抵抗R1を通して電源Vccから電流I<sub>1</sub>が、またトランジスタQ14、Q10、Q11、Q12、抵抗R2を通して出力端子WKMから電流I<sub>2</sub>が流れる。抵抗R1、R2の値は等しく、また電流I<sub>1</sub>が10μA程度になるように抵抗R1の値を決定すれば、端子N1の電位は電源電圧VccからトランジスタQ6、Q7でレベルシフトされた電位となる。つまりVccからPチャネルトランジスタの閾値を2倍した値を引いた電位となる。端子N2の電位はワード線昇圧回路の出力端子WKMがVccにプリチャージされており、またトランジスタ

Q14によるレベルシフトがあるため、端子N1の電位よりもさらにメモリセルトランジスタの閾値だけ下がった電位となる。従って、トランジスタQ5がオン、Q15がオフとなり差動回路3<sub>1</sub>が活性化してもその出力端子N<sub>3</sub>の電位はVssのままである。

ワード線昇圧回路が動作して端子WKMの電位が上昇するにつれて、端子N2の電位は上昇する。出力端子WKMの電位が、電源電圧Vccにメモリセルトランジスタの閾値を加えた値よりも高くなると、差動回路3<sub>1</sub>の入力端子N2の電位は参照電位入力端子N1の電位よりも高くなり、差動回路3<sub>1</sub>の出力端子N3および端子N4の電位はVccとなる。これによりトランジスタQ16がオフし、出力端子WKMの電位を強制的に下げ始める。

出力端子WKMの電位が電源電圧Vccにメモリセルトランジスタの閾値を加えた値よりわずかに低くなれば、差動回路3<sub>1</sub>の出力端子N3は再び接地電圧となり、トランジスタQ16はオフし

て放電は中止される。

ロウ・アドレス・ストローブ信号RASが低レベルから高レベルに変化すると制御信号RINTの電位もVccとなり回路は初期状態に戻る。

こうしてこの実施例によれば、電源電圧Vccが高くなった場合に、ワード線昇圧回路の出力電位を強制的に引下げる制御が行われ、第4図の破線(a)に対して実線(b)で示すワード線電位を得ることができる。これにより、電源電圧がVccminの時のメモリセルの正常動作を確保しながら、電源電圧がVccmaxになった場合にもメモリセルトランジスタの信頼性を十分保障することができる。

第5図は、ワード線電位の時間変化を示している。破線(a)は第4図の従来例の(a)に対応し、実線(b)が同じく第4図の実施例の場合の実線(b)に対応する。図に示すようにこの実施例の場合にも、電源電圧Vccが上昇したときに一時的にワード線には高い電位が与えられることになるが、これはあくまでも一時的であって、上述した制御によってワード線電位が引下げられる。した

がってそのストレスは従来例に比べて十分に小さい。

本発明は、上記実施例に限られるものではない。実施例では、ワード線昇圧回路の出力端子WKMの電荷を接地電圧 $V_{ss}$ に放電する回路について説明したが電源電位 $V_{cc}$ に放電する場合にも本発明は適用可能である。また、実施例では制御信号の入力によって制御回路が活性化されるようにしたが、電源電位を印加している場合には、常に制御回路が活性化されるように構成してもよい。また実施例ではレベルシフト用トランジスタQ6、Q7、Q10、Q11がPチャネルトランジスタであったがこれらはNチャネルトランジスタに変更可なことはもちろんである。その他本発明はその趣旨を逸脱しない範囲で種々変形して実施することができる。

#### 【発明の効果】

以上説明したように、本発明によれば、最小電源電位 $V_{ccmin}$ での正常動作を確保しながら、最大電源電位 $V_{ccmax}$ においてメモリセルトランジスタ

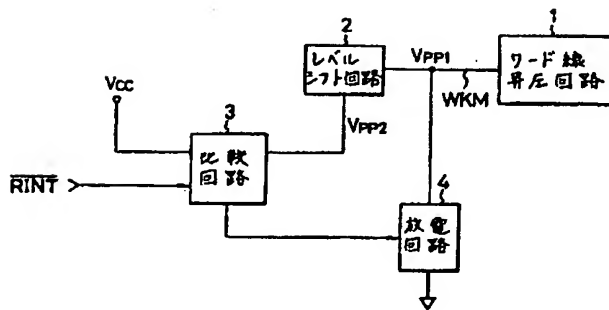
のゲート酸化膜にかかるストレスを従来の方より小さくして信頼性向上を図ったDRAMを得ることができる。

#### 4. 図面の簡単な説明

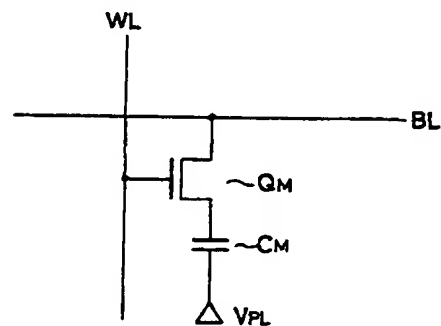
第1図は本発明の一実施例に係るDRAMのワード線昇圧回路とその制御回路部の構成を示す図、第2図は制御回路部の具体的構成例を示す図、第3図はその動作を説明するためのタイミング図、第4図はこの実施例によるワード線電位と電源電位の関係を示す図、第5図は同じくワード線電位の時間変化を示す図、第6図はDRAMのメモリセル構成を示す図である。

1…ワード線昇圧回路、2…レベルシフト回路、3…比較回路、3<sub>1</sub>…カレントミラー型CMOS差動回路、3<sub>2</sub>、3<sub>3</sub>…CMOSゲート、4…放電回路、Q14…nチャネルトランジスタ（レベルシフト回路）、Q16…nチャネルトランジスタ（放電回路）。

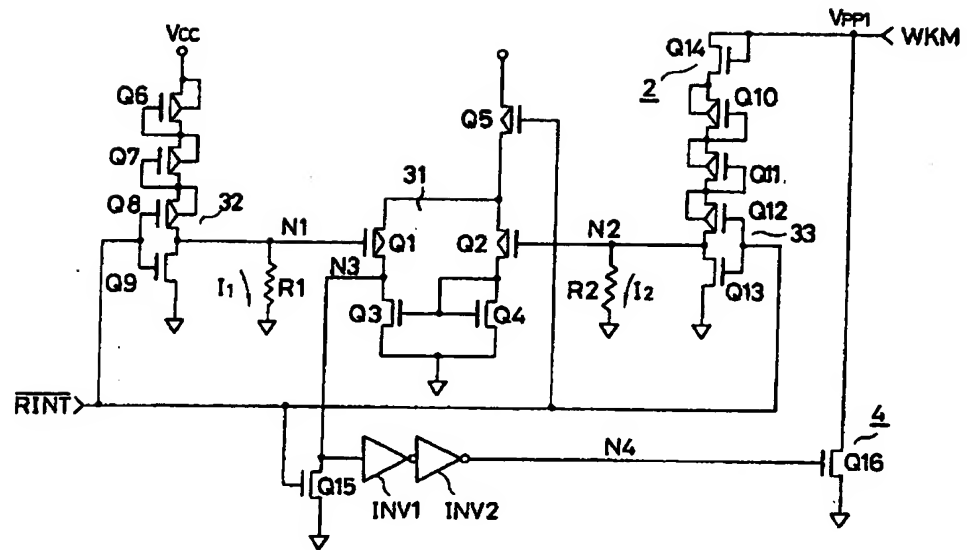
出願人代理人 弁理士 鈴江武彦



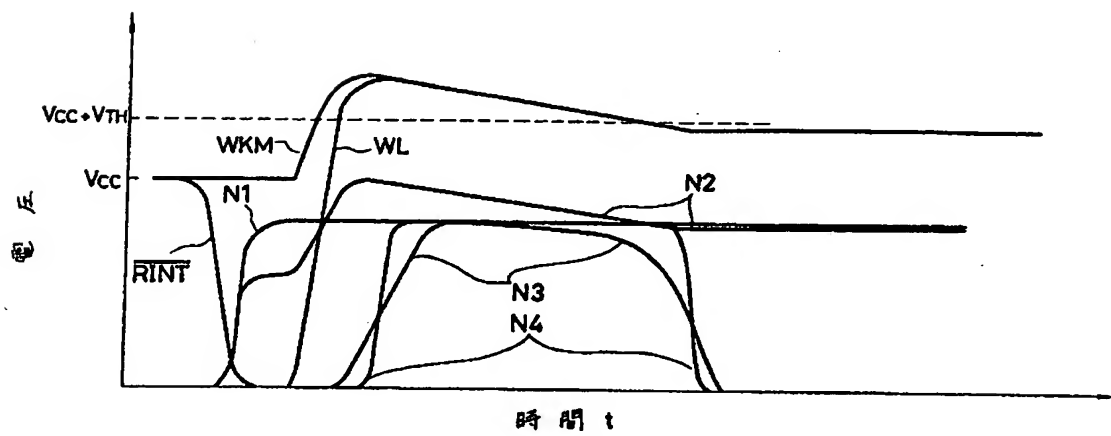
第1図



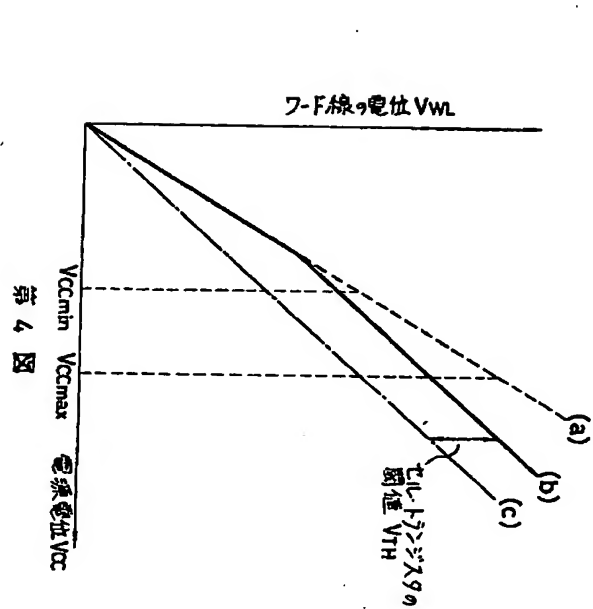
第6図



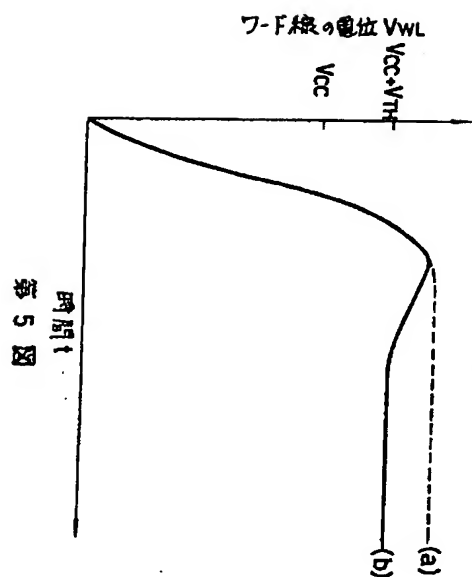
第 2 図



第 3 図



第 4 図



第 5 図